**Тема работы:** Знакомство с отладочным стендом Altera DE2.

**Цель работы:** ознакомится с отладочным стендом Altera DE2. Приобрести навыки работы с технической литературой.

В состав стенда входит немалое количество компонентов, что позволяет проводить отладку различных проектов, от совсем простых до мультимедийных. Внешний вид отладочного стенда Altera DE2 изображен на рисунке 1, также на рисунке указано позиционное размещение разъемов и основных компонентов стенда

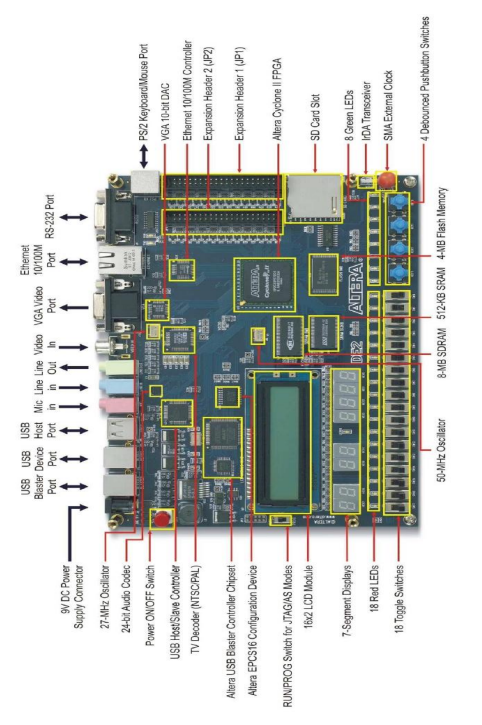


Рисунок 1 – Внешний вид отладочного стенда Altera DE 2

В состав отладочного стенда Altera DE2 входят:

− микросхема ПЛИС Altera Cyclone® II 2C35 FPGA;

− микросхема конфигурации Altera - EPCS16;

− USB Blaster для программирования и предназначенного для пользователя API контролю; поддерживается программирование через JTAG и Active Serial(AS);

− микросхема ОЗУ SRAM – 512 Кб;

− микросхема ОЗУ SDRAM – 8 Мб;

− Flash память – 4 Мб;

− приёма-передатчик RS-232;

− кварцевые генераторы 50 МГц и 27 МГц;

− 24 битовый аудио CODEC;

− 10 битовий VGA цифро-аналоговый преобразовательАП); − TV дешифратор (NTSC/PAL);

− Контролер10/100М Ethernet;

− Контролер USB Host/Slave; − приемо-передатчик IrDA; − 18 красных светодиодов; − 8 зеленых светодиодов;

− 8 семисегментных индикаторов;

− 16Х2 РК дисплей;

− кнопка питания «ON/OFF»;

− переключатель «RAN/PROG»;

− 4 кнопки без фиксации с антидребезговым устройством;

− 18 ключей переключателей;

− разъем для подключения источника питания «9В»;

− разъем для программирования ПЛИС;

− разъем «USB Device Port»; − разъем «USB Host Port»;

− разъем микрофонного входа;

− разъем линейного входа

− разъем линейного выхода;

− разъем TV – входа;

− разъем VGA видео порта;

− разъем «10/100М Ethernet»;

− 9- выводной разъем «RS-232»;

− разъем «PS/2»;

− два 40 – выводных разъема расширения с диодной защитой;

− слот для подключения CD карты;

− разъем «SMA Extemal clock».

Схема коммутации ПЛИС Cyclone II FPGA изображена на рисунке 2, а структурная схема отладочного стенда Altera DE2 – на рисунке 3. чтобы обеспечивать максимальную гибкость при проектировании, все связи заведены через ПЛИС Cyclone II FPGA. Таким образом, потребитель может конфигурировать FPGA под любое схемотехническое решение.

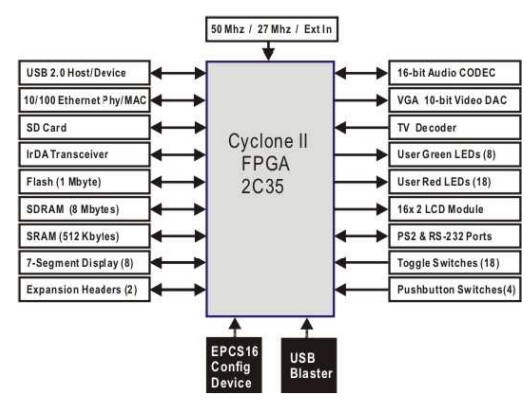


Рисунок 2 – Схема коммутации ПЛИС Cyclone II FPGA

Рассмотрим более подробное пояснение блоков, входящих в состав отладочного стенда Altera DE2. FPGA микросхемы семейства Cyclone II выполнены по 90 нм SRAM технологии с медной металлизацией и напряжением питания ядра 1.2 В.

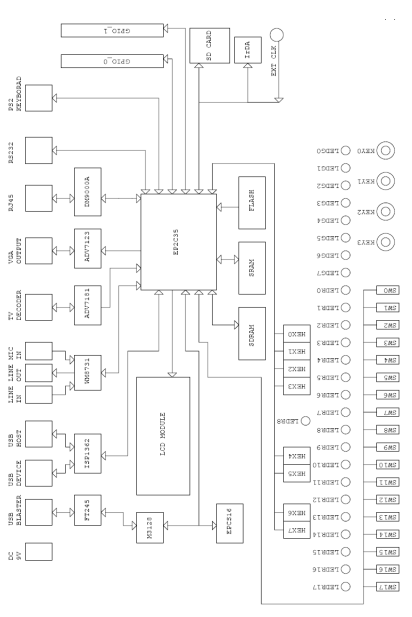


Рисунок 3 – Схема структурная отладочного стенда Altera DE 2

На плате Altera DE2 установлены 4 кнопки (без фиксации), включенные по антидребезговой схеме, которые подают на выводы ПЛИС логическую единицу (+3.3 В) в отжатом состоянии и логический ноль при нажатом состоянии. Схема подключения кнопок изображена на рисунке 4, а имена цепей и выводов ПЛИС приведены в таблице 1.

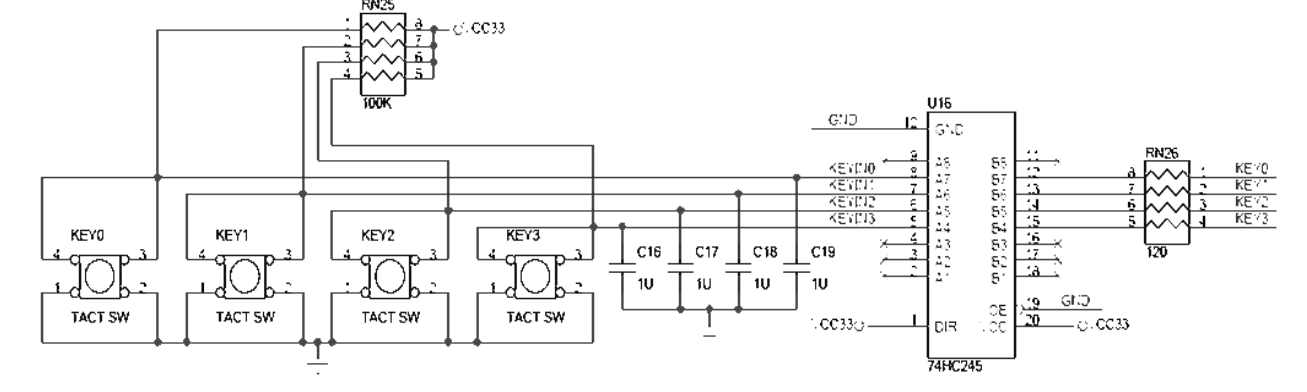


Рисунок 4 – Схема электрическая принципиальная подключения кнопок

Таблица 1 Имена цепей и выводов ПЛИС присоединенных к кнопкам KEY

|  |  |  |
| --- | --- | --- |
| Имя цепи | Имя вывода ПЛИС | Позиционное обозначение |
| KEY[0] | PIN\_G26 | Pushbutton[0] |
| KEY[1] | PIN\_N23 | Pushbutton[1] |
| KEY[2] | PIN\_P23 | Pushbutton[2] |
| KEY[3] | PIN\_W26 | Pushbutton[3] |

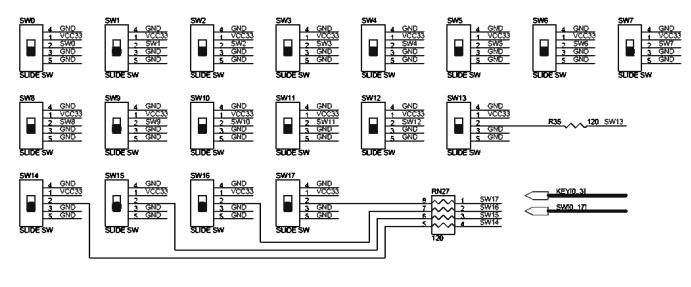


Рисунок 5 – Схема электрическая принципиальная подключения переключателей

Таблица 2 Имена цепей и выводов ПЛИС, присоединенных к переключателям SW

|  |  |  |
| --- | --- | --- |
| Имя цепи | Имя вывода ПЛИС | Позиционное обозначение |
| SW[0] | PIN\_N25 | Toggle Switch[0] |
| SW[1] | PIN\_N26 | Toggle Switch[1] |
| SW[2] | PIN\_P25 | Toggle Switch[2] |
| SW[3] | PIN\_AE14 | Toggle Switch[3] |
| SW[4] | PIN\_AF14 | Toggle Switch[4] |
| SW[5] | PIN\_AD13 | Toggle Switch[5] |
| SW[6] | PIN\_AC13 | Toggle Switch[6] |
| SW[7] | PIN\_C13 | Toggle Switch[7] |
| SW[8] | PIN\_B13 | Toggle Switch[8] |
| SW[9] | PIN\_A13 | Toggle Switch[9] |
| SW[10] | PIN\_N1 | Toggle Switch[10] |
| SW[11] | PIN\_P1 | Toggle Switch[11] |
| SW[12] | PIN\_P2 | Toggle Switch[12] |
| SW[13] | PIN\_T7 | Toggle Switch[13] |
| SW[14] | PIN\_U3 | Toggle Switch[14] |
| SW[15] | PIN\_U4 | Toggle Switch[15] |
| SW[16] | PIN\_V1 | Toggle Switch[16] |
| SW[17] | PIN\_V2 | Toggle Switch[17] |

Также на плате установлены 27 светодиодов, восемнадцать красных и девять зеленых. Каждый светодиод подключен непосредственно к выводам ПЛИС Cyclone II FPGA. Установка на выводе ПЛИС логической единицы (сигнала высокого уровня) включает светодиод, а логический ноль (сигнал низкого уровня) выключает его. Схема подключения светодиодов изображена на рисунке 6, а имена цепей и выводов ПЛИС приведены в таблице 3.

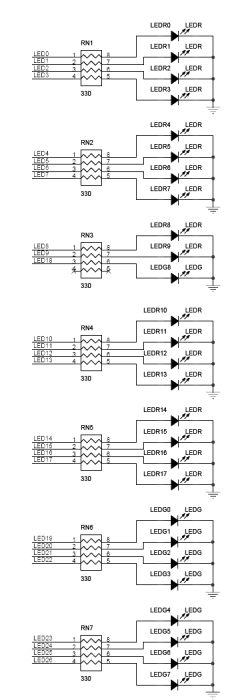


Рисунок 6 – Схема электрическая принципиальная подключения светодиодов

Таблица 3. Имена цепей и выводов ПЛИС присоединенных к светодиодам

|  |  |  |
| --- | --- | --- |
| Имя цепи | Имя вывода ПЛИС | Позиционное обозначение |
| LEDR[0] | PIN\_AE23 | LED Red[0] |
| LEDR[1] | PIN\_AF23 | LED Red[1] |
| LEDR[2] | PIN\_AB21 | LED Red[2] |
| LEDR[3] | PIN\_AC22 | LED Red[3] |
| LEDR[4] | PIN\_AD22 | LED Red[4] |
| LEDR[5] | PIN\_AD23 | LED Red[5] |
| LEDR[6] | PIN\_AD21 | LED Red[6] |
| LEDR[7] | PIN\_AC21 | LED Red[7] |
| LEDR[8] | PIN\_AA14 | LED Red[8] |
| LEDR[9] | PIN\_Y13 | LED Red[9] |
| LEDR[10] | PIN\_AA13 | LED Red[10] |
| LEDR[11] | PIN\_AC14 | LED Red[11] |
| LEDR[12] | PIN\_AD15 | LED Red[12] |
| LEDR[13] | PIN\_AE15 | LED Red[13] |
| LEDR[14] | PIN\_AF13 | LED Red[14] |
| LEDR[15] | PIN\_AE13 | LED Red[15] |
| LEDR[16] | PIN\_AE12 | LED Red[16] |
| LEDR[17] | PIN\_AD12 | LED Red[17] |
| LEDG[0] | PIN\_AE22 | LED Green[0] |
| LEDG[1] | PIN\_AF22 | LED Green[1] |
| LEDG[2] | PIN\_W19 | LED Green[2] |
| LEDG[3] | PIN\_V18 | LED Green[3] |
| LEDG[4] | PIN\_U18 | LED Green[4] |
| LEDG[5] | PIN\_U17 | LED Green[5] |
| LEDG[6] | PIN\_AA20 | LED Green[6] |
| LEDG[7] | PIN\_Y18 | LED Green[7] |
| LEDG[8] | PIN\_Y12 | LED Green[8] |

На плате Altera DE2 установлены 8 семисегментных индикаторов. Каждый светодиод сегмента индикатора подключен непосредственно к выводам ПЛИС Cyclone II FPGA. Установка на выводе ПЛИС логического нуля (сигнал низкого уровня) включает светодиод, а логическая единица (сигнал высокого уровня) выключает его. Схема подключения 7-сегментных индикаторов изображена на рисунке 7, а имена кругов и выводов ПЛИС приведены в таблице 4.

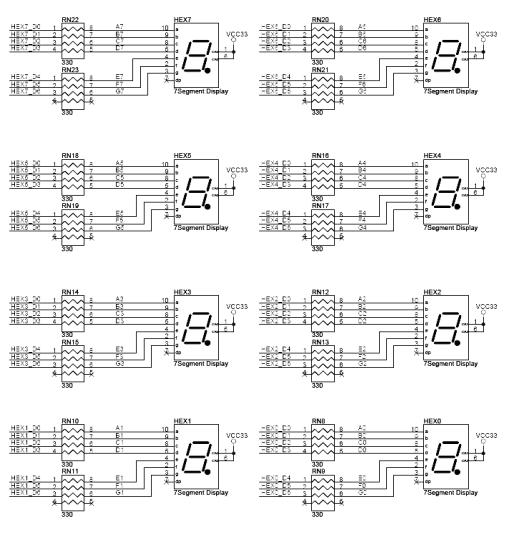
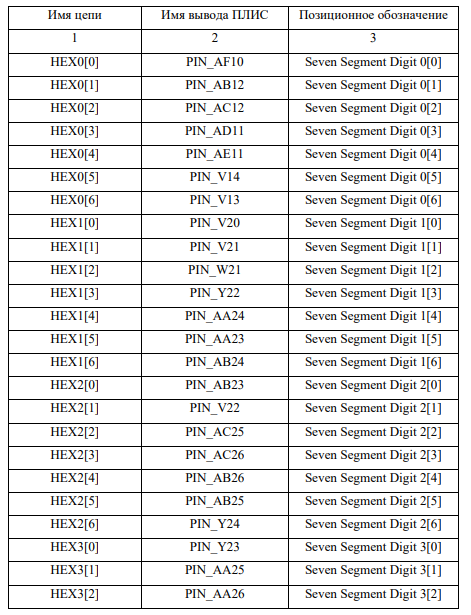
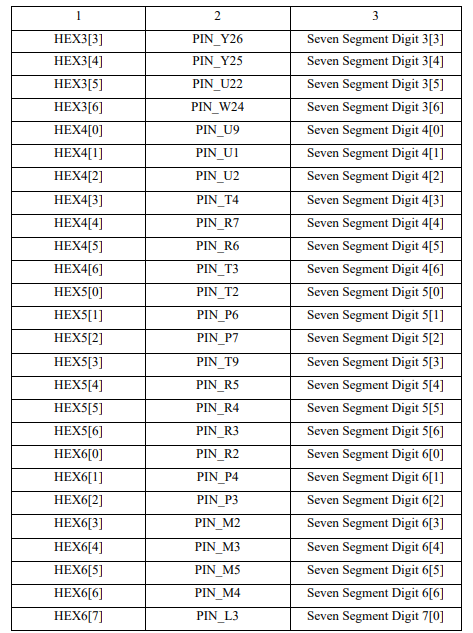


Рисунок 7 – Схема электрическая принципиальная подключения 7- сегментных индикаторов

Таблица 4. Имена цепей и выводов ПЛИС присоединенных к 7- сегментным индикаторам



Продолжение таблицы 4 

ЖК-модуль, установленный на плате, имеет встроенные шрифты и может использоваться для отображения текста путем отправки соответствующих команд для контроллера дисплея – HD44780. Подробная информация об использовании дисплея доступна на веб-сайте производителя. Схематическое изображение ЖК-модуля и схема коммутации с ПЛИС Cyclone FPGA II FPGA приведены на рисунке 8, а соответствующие назначения контактов приведены в таблице 5.

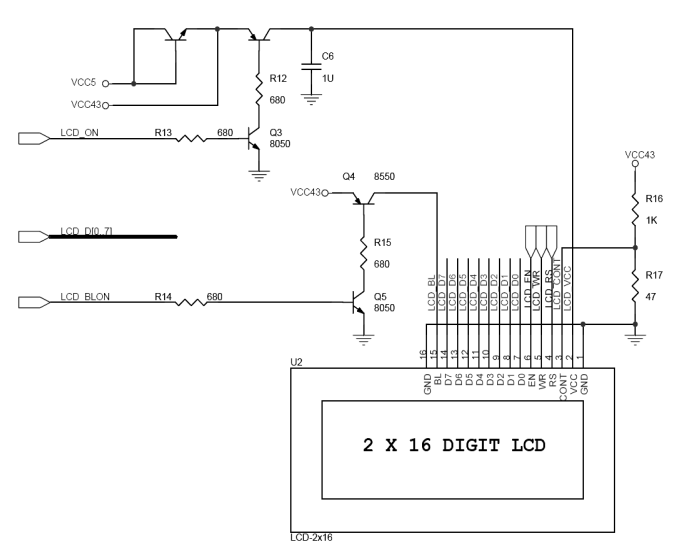
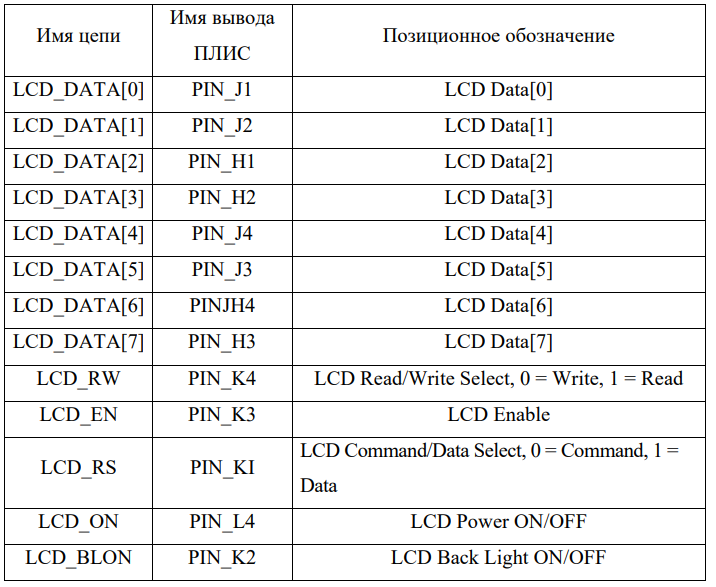


Рисунок 8 – Схема электрическая принципиальная подключения ЖКмодуля

Таблица 5. Имена цепей и выводов ПЛИС присоединенных к ЖК-модулю



**Вывод:** в ходе данной лабораторной работы было ознакомление с отладочным стендом Altera DE2. Были изучены его конфиурации и его системное устройство. Были приобретены навыки работы с технической литературой.